

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-299584

(43)Date of publication of application : 11.10.2002

(51)Int.Cl.

H01L 27/105

G11C 11/14

G11C 11/15

H01L 43/08

(21)Application number : 2001-104074

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 03.04.2001

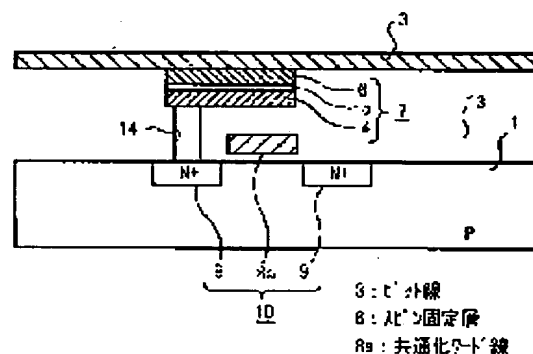
(72)Inventor : KOMORI SHIGEKI

## (54) MAGNETIC RANDOM ACCESS MEMORY DEVICE AND SEMICONDUCTOR DEVICE

(57)Abstract:

**PROBLEM TO BE SOLVED:** To reduce increase in the number of layers of a multilevel wiring structure to simplify the structure and manufacturing processes and thereby to increase the fineness and integration degree, in a magnetic random access memory device comprising an access transistor 10 and a TMR element 7 having a multilayer structure of a spin free layer 4 with a variable magnetization direction and a spin fixed layer 6 with a fixed magnetization direction, both of which are disposed in a region where a write word line 2 and a bit line 3 cross each other.

**SOLUTION:** The TMR element 7 is disposed in the region where the word line 8a and the bit line 3 cross each other, whose crossing become the gate for the access transistor 10. The word line 8a serves as both read and write word lines.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-299584

(P2002-299584A)

(43) 公開日 平成14年10月11日 (2002. 10. 11)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード (参考)
H 0 1 L 27/105		G 1 1 C 11/14	A 5 F 0 8 3
G 1 1 C 11/14			Z
	11/15	11/15	
H 0 1 L 43/08		H 0 1 L 43/08	Z
		27/10	4 4 7
審査請求 未請求 請求項の数13 O L (全 11 頁)			

(21) 出願番号 特願2001-104074(P2001-104074)

(22) 出願日 平成13年4月3日 (2001. 4. 3)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 小森 重樹

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100093562

弁理士 児玉 俊英 (外3名)

Fターム(参考) 5F083 F210 GA09 GA28 JA32 JA35

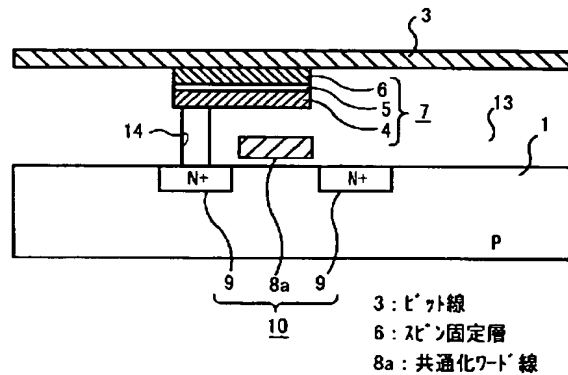
JA53 KA20

(54) 【発明の名称】 磁気ランダムアクセスメモリ装置および半導体装置

(57) 【要約】

【課題】 書き込みワード線2およびビット線3の交差領域にそれぞれ配設され、磁化方向が可変なスピン自由層4と磁化方向が固定されたスピン固定層6とが絶縁層5を介して積層されたTMR素子7と、アクセストランジスタ10とを備えた磁気ランダムアクセスメモリ装置において、多層配線構造の多層化の低減を図り、構造および製造工程を簡略化して微細化、高集積化を促進する。

【解決手段】 アクセストランジスタ10のゲートとなるワード線8aとビット線3との交差領域にTMR素子7を配設して、上記ワード線8aで書き込み/読み出しのワード線を兼ねる。



## 【特許請求の範囲】

【請求項 1】 半導体基板上に、互いに交差する方向に配列された第 1 のワード線およびビット線の交差領域にそれぞれ配設され、磁化方向が可変な第 1 の磁性体と磁化方向が固定された第 2 の磁性体とが絶縁層を介して積層された磁気抵抗記憶素子と、上記ビット線に交差する方向に配列された第 2 のワード線をゲートとするアクセストランジスタとを備えた磁気ランダムアクセスメモリ装置において、上記ビット線を、磁化方向を予め長さ方向に固定にした強磁性体金属で構成し、該ビット線で上

記第 2 の磁性体を兼ねることを特徴とする磁気ランダムアクセスメモリ装置。

【請求項 2】 半導体基板上に、互いに交差する方向に配列された第 1 のワード線およびビット線の交差領域にそれぞれ配設され、磁化方向が可変な第 1 の磁性体と磁化方向が固定された第 2 の磁性体とが絶縁層を介して積層された磁気抵抗記憶素子と、上記ビット線に交差する方向に配列された第 2 のワード線をゲートとするアクセストランジスタとを備えた磁気ランダムアクセスメモリ装置において、上記磁気抵抗記憶素子を、上記第 2 のワ

ード線と上記ビット線との交差領域に配設して、第 2 のワード線で第 1 のワード線を兼ねることを特徴とする磁気ランダムアクセスメモリ装置。

【請求項 3】 半導体基板上に、互いに交差する方向に配列された第 1 のワード線およびビット線の交差領域にそれぞれ配設され、磁化方向が可変な第 1 の磁性体と磁化方向が固定された第 2 の磁性体とが絶縁層を介して積層された磁気抵抗記憶素子と、上記ビット線に交差する方向に配列された第 2 のワード線をゲートとするアクセストランジスタとを備えた磁気ランダムアクセスメモリ装置において、上記第 1 のワード線と上記第 2 のワード

線とを電気的に接続することを特徴とする磁気ランダムアクセスメモリ装置。

【請求項 4】 ビット線およびワード線（第 1 / 第 2 のワード線）に電流を流して磁気抵抗記憶素子への書き込みを行う際、該ワード線にはアクセストランジスタがオンしない極性の電圧を印加し、また上記ビット線から上記アクセストランジスタに電流を流して上記磁気抵抗記憶素子から読み出しを行う際、上記ワード線には、一方の端子をフローティングにする、あるいは両端子を同電位にした状態で電圧印加を行って上記アクセストランジスタをオンさせることを特徴とする請求項 2 または 3 記載の磁気ランダムアクセスメモリ装置。

【請求項 5】 ワード線に、アクセストランジスタをオンさせる極性の電圧を電位勾配を持たせて電流を流しつつ印加することにより、磁気抵抗記憶素子への書き込みをしながら読み出しすることを特徴とする請求項 4 記載の磁気ランダムアクセスメモリ装置。

【請求項 6】 アクセストランジスタのソース・ドレイン領域の一方は磁気抵抗記憶素子に接続され、他方は、

このソース・ドレイン領域に隣接して半導体基板に形成された基板電位取り出し電極となる拡散層と接続したことを特徴とする請求項 2 ～ 5 のいずれかに記載の磁気ランダムアクセスメモリ装置。

【請求項 7】 基板電位取り出し電極となる拡散層と該拡散層に隣接するソース・ドレイン領域との表面に、サリサイド法により形成されたシリサイド金属層を備えたことを特徴とする請求項 6 記載の磁気ランダムアクセスメモリ装置。

【請求項 8】 半導体基板上に互いに交差する方向に配列されたワード線およびビット線の交差領域にそれぞれ配設され、磁化方向が可変な第 1 の磁性体と磁化方向が固定された第 2 の磁性体とが絶縁層を介して積層された磁気抵抗記憶素子と、上記半導体基板に形成された第 1 導電型のウェル領域と、該ウェル領域内に形成された第 2 導電型の拡散層とを備え、上記ウェル領域および上記拡散層で構成されるダイオードと上記ビット線との間に、該ダイオードの順方向に電流を流して上記磁気抵抗記憶素子からの読み出しを行うことを特徴とする磁気ランダムアクセスメモリ装置。

【請求項 9】 半導体基板上に、互いに交差する方向に配列されたワード線およびビット線の交差領域にそれぞれ配設され、磁化方向が可変な第 1 の磁性体と磁化方向が固定された第 2 の磁性体とが絶縁層を介して積層された磁気抵抗記憶素子と、上記第 1 の磁性体とショットキ接合あるいは金属接合による P N 接合を形成する導電層とを備え、上記第 1 の磁性体および上記導電層で構成されるダイオードと上記ビット線との間に、該ダイオードの逆方向に接合耐圧を越えて電流を流して上記磁気抵抗記憶素子からの読み出しを行うことを特徴とする磁気ランダムアクセスメモリ装置。

【請求項 10】 ワード線を、ビット線よりも上層に配設したことを特徴とする請求項 8 または 9 記載の磁気ランダムアクセスメモリ装置。

【請求項 11】 ビット線を、磁化方向を予め長さ方向に固定にした強磁性体金属で構成し、該ビット線で第 2 の磁性体を兼ねることを特徴とする請求項 2 ～ 10 のいずれかに記載の磁気ランダムアクセスメモリ装置。

【請求項 12】 ビット線と第 1 のワード線との交差領域において、該ビット線の磁化方向を長さ方向に固定にしたことを特徴とする請求項 1 または 11 記載の磁気ランダムアクセスメモリ装置。

【請求項 13】 請求項 1 ～ 12 のいずれかに記載の磁気ランダムアクセスメモリ装置を備えたことを特徴とする半導体装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、磁性体構造をもつ磁気ランダムアクセスメモリ装置（以降、MRAM = Magnetic Random Access Memory と略する）に関する。

【0002】

【従来の技術】MRAMは、磁性体構造に電流を流した時に、磁性体のスピンの向きによって抵抗値が変化することを利用したメモリデバイスである。メモリ動作を行う素子として磁気抵抗記憶素子（以下、TMR（Tunneling Magneto Resistive）素子と称す）が用いられている。磁気メモリの1ビットは、このTMR素子と1つのMOSTランジスタからなっている。図16は、従来のMRAMの構造を示したものである。図において100はTMR素子で、第1の磁性体101と第2の磁性体103との間に薄い絶縁層102がはさまれたサンドイッチ構造となっている。150は半導体基板（以下、基板と称す）で、基板150上にMOSTランジスタであるアクセストランジスタを形成し、155はそのソース・ドレイン領域である。160はアクセストランジスタのゲート電極となる読み出しワード線、165は書き込みワード線である。170はソース・ドレイン領域155の一方と第1の磁性体101とを接続する電極部、175は積層された層間絶縁膜、180はビット線である。なお、第1の磁性体101はスピンの方向が固定されないで可変なスピン自由層、第2の磁性体103はスピンが所定の方向に固定されたスピン固定層であるが、TMR素子100のサンドイッチ構造はビット線180の方向に長い長方形をしているため、第1の磁性体101のスピン方向はビット線180の長さ方向（ビット線方向）に向くのが容易となる。また第2の磁性体103のスピンの向きはビット線方向に固定される。

【0003】このような従来のMRAMにおけるTMR素子100への書き込みは、図17に示すように、ビット線180と書き込みワード線165とに電流を流し、発生する磁界がスピン自由層である第1の磁性体101のスピン方向を決定することにより行われる。すなわち、その方向が第2の磁性体103のスピン方向と同方向または逆方向によって“1”または“0”のデータが書き込まれる。この書き込みは、一定量以上の磁界が必要であり、かつビット線180と書き込みワード線165とが交差しているセルのみ行われるのが特徴である。一方、TMR素子100からの読み出しは、第1の磁性体101と第2の磁性体103との間に電圧をかけて、また、読み出しワード線160に電圧をかけてアクセストランジスタをオンさせ、アクセストランジスタに流れ込む電流を読み取ることにより行われる。第1の磁性体101のスピン方向と第2の磁性体103のスピン方向とが同じ時は電流がよく流れるが、反対の時は電流があまり流れない特徴を利用して、第1の磁性体101と第2の磁性体103との間の抵抗値を変化させ、アクセストランジスタをオンさせて、ビット線180からアクセストランジスタに流れ込む電流の大小を判定するのである。

【0004】

【発明が解決しようとする課題】上記のような従来の磁気ランダムアクセスメモリ装置では、TMR素子も含めて導電層が層間絶縁膜などを介して多層に積層されており、また、書き込みワード線と読み出しワード線とが別個に必要である。このため、基板と垂直方向のメモリセル構造が複雑で、製造工程も煩雑となり、セル面積の縮小化も困難であった。

【0005】この発明は、上述のような問題点を解決するためになされたもので、メモリセル構造を簡略化して、微細化、高集積化を図り、しかも容易に製造できる磁気ランダムアクセスメモリ装置およびそれを備えた半導体装置を得ることを目的とする。

【0006】

【課題を解決するための手段】この発明に係る請求項1記載の磁気ランダムアクセスメモリ装置は、半導体基板上に、互いに交差する方向に配列された第1のワード線およびビット線の交差領域にそれぞれ配設され、磁化方向が可変な第1の磁性体と磁化方向が固定された第2の磁性体とが絶縁層を介して積層された磁気抵抗記憶素子と、上記ビット線に交差する方向に配列された第2のワード線をゲートとするアクセストランジスタとを備え、上記ビット線を、磁化方向を予め長さ方向に固定にした強磁性体金属で構成し、該ビット線で上記第2の磁性体を兼ねるものである。

【0007】この発明に係る請求項2記載の磁気ランダムアクセスメモリ装置は、半導体基板上に、互いに交差する方向に配列された第1のワード線およびビット線の交差領域にそれぞれ配設され、磁化方向が可変な第1の磁性体と磁化方向が固定された第2の磁性体とが絶縁層を介して積層された磁気抵抗記憶素子と、上記ビット線に交差する方向に配列された第2のワード線をゲートとするアクセストランジスタとを備え、上記磁気抵抗記憶素子を、上記第2のワード線と上記ビット線との交差領域に配設して、第2のワード線で第1のワード線を兼ねるものである。

【0008】この発明に係る請求項3記載の磁気ランダムアクセスメモリ装置は、半導体基板上に、互いに交差する方向に配列された第1のワード線およびビット線の交差領域にそれぞれ配設され、磁化方向が可変な第1の磁性体と磁化方向が固定された第2の磁性体とが絶縁層を介して積層された磁気抵抗記憶素子と、上記ビット線に交差する方向に配列された第2のワード線をゲートとするアクセストランジスタとを備え、上記第1のワード線と上記第2のワード線とを電氣的に接続するものである。

【0009】この発明に係る請求項4記載の磁気ランダムアクセスメモリ装置は、請求項2または3において、ビット線およびワード線（第1／第2のワード線）に電流を流して磁気抵抗記憶素子への書き込みを行う際、該ワード線にはアクセストランジスタがオンしない極性の

電圧を印加し、また上記ビット線から上記アクセストランジスタに電流を流して上記磁気抵抗記憶素子から読み出しを行う際、上記ワード線には、一方の端子をフローティングにする、あるいは両端子を同電位にした状態で電圧印加を行って上記アクセストランジスタをオンさせるものである。

【0010】この発明に係る請求項5記載の磁気ランダムアクセスメモリ装置は、請求項4において、ワード線に、アクセストランジスタをオンさせる極性の電圧を電位勾配を持たせて電流を流しつつ印加することにより、磁気抵抗記憶素子への書き込みをしながら読み出しするものである。

【0011】この発明に係る請求項6記載の磁気ランダムアクセスメモリ装置は、請求項2～5のいずれかにおいて、アクセストランジスタのソース・ドレイン領域の一方は磁気抵抗記憶素子に接続され、他方は、このソース・ドレイン領域に隣接して半導体基板に形成された基板電位取り出し電極となる拡散層と接続したものである。

【0012】この発明に係る請求項7記載の磁気ランダムアクセスメモリ装置は、請求項6において、基板電位取り出し電極となる拡散層と該拡散層に隣接するソース・ドレイン領域との表面に、サリサイド法により形成されたシリサイド金属層を備えたものである。

【0013】この発明に係る請求項8記載の磁気ランダムアクセスメモリ装置は、半導体基板上に互いに交差する方向に配列されたワード線およびビット線の交差領域にそれぞれ配設され、磁化方向が可変な第1の磁性体と磁化方向が固定された第2の磁性体とが絶縁層を介して積層された磁気抵抗記憶素子と、上記半導体基板に形成された第1導電型のウェル領域と、該ウェル領域内に形成された第2導電型の拡散層とを備え、上記ウェル領域および上記拡散層で構成されるダイオードと上記ビット線との間に、該ダイオードの順方向に電流を流して上記磁気抵抗記憶素子からの読み出しを行うものである。

【0014】この発明に係る請求項9記載の磁気ランダムアクセスメモリ装置は、半導体基板上に、互いに交差する方向に配列されたワード線およびビット線の交差領域にそれぞれ配設され、磁化方向が可変な第1の磁性体と磁化方向が固定された第2の磁性体とが絶縁層を介して積層された磁気抵抗記憶素子と、上記第1の磁性体とショットキ接合あるいは金属接合によるPN接合を形成する導電層とを備え、上記第1の磁性体および上記導電層で構成されるダイオードと上記ビット線との間に、該ダイオードの逆方向に接合耐圧を越えて電流を流して上記磁気抵抗記憶素子からの読み出しを行うものである。

【0015】この発明に係る請求項10記載の磁気ランダムアクセスメモリ装置は、請求項8または9において、ワード線を、ビット線よりも上層に配設したものである。

【0016】この発明に係る請求項11記載の磁気ランダムアクセスメモリ装置は、請求項2～10のいずれかにおいて、ビット線を、磁化方向を予め長さ方向に固定にした強磁性体金属で構成し、該ビット線で第2の磁性体を兼ねるものである。

【0017】この発明に係る請求項12記載の磁気ランダムアクセスメモリ装置は、請求項1または11において、ビット線と第1のワード線との交差領域において、該ビット線の磁化方向を長さ方向に固定にしたものである。

【0018】この発明に係る請求項13記載の半導体装置は、請求項1～12のいずれかに記載の磁気ランダムアクセスメモリ装置を備えたものである。

【0019】

【発明の実施の形態】実施の形態1. 図1はこの発明の磁気ランダムアクセスメモリ装置(MRAM)による実施の一形態例の構造を示す断面図である。図に示すように、P型の半導体基板1(以下、基板1と称す)上に、互いに交差する方向に所定の間隔で第1のワード線としての書き込みワード線2とビット線3aとが配列される。この書き込みワード線2とビット線3aとの交差領域に、第1の磁性体としてのスピン自由層4とその上の薄い絶縁層5とが積層されて配設される。なお、ビット線3aはCo, Ni, Feなどの強磁性体金属から成り、予め強い磁界を加える等の処置を施してスピン方向をビット線3aの長さ方向に固定しておき、書き込みワード線2との交差領域において、ビット線3a/絶縁層5/スピン自由層4から成るサンドイッチ構造のTMR素子7を構成する。また、TMR素子7の下層では、基板1上にゲート酸化膜(図示せず)を介して形成された第2のワード線としての読み出しワード線8がビット線3aと交差する方向で配列され、この読み出しワード線8をゲート電極として、その両側に配設されたソース・ドレイン領域9とでアクセストランジスタ10が構成される。また、ソース・ドレイン領域9の一方はスピン自由層4と電極部11を介して接続される。なお、12はソース・ドレイン領域9の他方と接続される電極配線層、13は積層された層間絶縁膜である。上記説明では、MRAMとして説明したが、同一基板にMRAMと他のデバイスとが組み込まれた半導体装置であってもよく、同様の効果が得られる。

【0020】TMR素子7のサンドイッチ構造はビット線3aの方向に長い長方形をしているため、スピンの方向が可変な磁性体であるスピン自由層4のスピン方向はビット線方向に向くのが容易となる。また、ビット線3aは上述したように、強磁性体金属で予めスピン方向を長さ方向に固定して形成し、スピン自由層4の上層においては、TMR素子7のスピン固定層として用いる。このように構成されたMRAMにおいても、従来と同様、TMR素子7への書き込みは、ビット線3aと書き込み

ワード線2とに電流を流し、発生する磁界がスピン自由層4のスピン方向を決定することにより行われる。すなわち、その方向がビット線3aのスピン方向と同方向または逆方向によって"1"または"0"のデータが書き込まれる。この書き込みは、一定量以上の磁界が必要であり、かつビット線3aと書き込みワード線2とが交差しているセルのみ行われる。一方、TMR素子7からの読み出しは、スピン自由層4とビット線3aとの間に電圧をかけて、また、読み出しワード線8に電圧をかけてアクセストランジスタ10をオンさせ、アクセストランジスタ10に流れ込む電流を読み取ることにより行われる。スピン自由層4のスピン方向とビット線3aのスピン方向とが同じ時は電流がよく流れるが、反対の時は電流があまり流れないため、スピン自由層4とビット線3aとの間の抵抗値を変化させ、アクセストランジスタ10をオンさせて、ビット線3aからアクセストランジスタ10に流れ込む電流の大小を判定するのである。以上のように、ビット線3aを、強磁性体金属で予めスピン方向を長さ方向に固定して形成したため、スピン自由層4の上層においては、ビット線3aをTMR素子7のスピン固定層として用いることができ、専用のスピン固定層の形成が省略できる。このため、MRAMの構造が簡単になり、製造工程が簡略化される。

【0021】なお、強磁性体金属で形成されるビット線3aのスピン方向は、全長に渡って単一方向に固定されたものでなくても、図2に示すように、ビット線3bを、TMR素子7が構成されるスピン自由層4の上層部分（スピン固定層3cに用いる部分）のみスピン方向を単一にしても良く、スピン方向が単一の単一磁区の形成が容易になり、信頼性が向上する。

【0022】実施の形態2. 上記実施の形態1においては、書き込みワード線2と読み出しワード線8を別個に必要としたが、本実施の形態2においては、1本のワード線で書き込み／読み出しを行うものについて述べる。図3に示すように、アクセストランジスタ10のゲート電極となる共通化ワード線8aを書き込み／読み出しを行うワード線に用い、上層に形成されたビット線3と共通化ワード線8aとの交差領域において、第2の磁性体としてのスピン固定層6／絶縁層5／スピン自由層4から成るサンドイッチ構造のTMR素子7を配設する。また14はスピン自由層4をソース・ドレイン領域9の一方に接続するためのコンタクトホールである。この例では、スピン固定層6はスピン方向がビット線方向に固定された専用の磁性体層を用い、このスピン固定層6上にポリシリコンあるいはアルミ等から成る通常のビット線3を形成した。

【0023】上記共通化ワード線8aは、TMR素子7にスピン自由層4のスピン方向によって決定されたデータを書き込むとともに、セルへのアクセストランジスタ10をオンさせるのにも使用する。このように、アクセ

ストランジスタ10のゲート電極を共通化ワード線8aとして書き込みワード線を兼ねる構造としたため、TMR素子7はアクセストランジスタ10の上層で近距離に配設され、基板1からTMR素子7までの高さを低くすることができる。このため、スピン自由層4を基板1に接続するためのコンタクトホール14を容易に開口でき、上記実施の形態1の図1で示したような複雑な多層配線構造の電極部11を形成する必要がない。このように、多層配線構造の多層化が格段と低減でき、構造および製造工程の簡略化が図れ、微細化、高集積化が促進できる。

【0024】このように構成されたMRAMにおける書き込み／読み出しの動作について図4～図6を用いて説明する。図4は、書き込み動作を示すもので、ビット線3と共通化ワード線8aとの交差部分を上から見た図である。書き込み時には、スピン自由層4のスピン方向を決定させるべく一定量以上の磁界を発生させるために、共通化ワード線8aの両端に電位差をつけて共通化ワード線8aに電流を流すが、アクセストランジスタ10をオンさせないために、この場合、負電位側に電位を設定する。これにより、ビット線3に流れる電流と共通化ワード線8aとに流れる電流で書き込みを行うが、アクセストランジスタ10はオンしない。図においては、共通化ワード線8aの一端を0V、もう一端を-1Vとし、アクセストランジスタ10をオンさせないような電位差となっている。

【0025】図5は読み出し動作を示すもので、共通化ワード線8aの一端をフローティング、もしくはもう一端と同電位にして共通化ワード線8aに電流を流す。これにより、共通化ワード線8aを流れる電流を0もしくは極小に抑えることによって、一定量以上の磁界を発生させないようにするとともに、かつこの場合、正電位にしてアクセストランジスタ10をオンさせる。図においては、共通化ワード線8aの一端をフローティング、もう一端を2Vとして、アクセストランジスタ10をオンさせている。この時、ビット線3の一端を正電位にして、ビット線3からTMR素子7を介してアクセストランジスタ10に流れ込む電流をモニターし、記憶内容を読み出す。さらに図6は、書き込みをしながら読み出しを行う動作を示すもので、共通化ワード線8a全体を正電位にしつつ一定量以上の磁界を発生させるような電位差をつけて電流を流す。図においては、共通化ワード線8aの一端に2V、もう一端に1Vを設定している。これにより、ビット線3とワード線8aとに流れる電流で書き込みを行いつつ、アクセストランジスタ10をオンさせるので、書き込めたかどうかの確認をしながら書き込みが可能となる。

【0026】なお、この実施の形態では、スピン固定層4をビット線3と別個に設けたものを用いたが、上記実施の形態1を適用してビット線3aをスピン固定層を兼

ねて形成してもよく、より構造が簡略化できる。

【0027】実施の形態3. なお、上記実施の形態2では書き込み／読み出しを行うワード線を共通化ワード線8aとして共通にするものを示したが、近年の多層配線ロジックのように、配線層が基板1よりもかなり高く積層されるようなデバイスとの混載が必要とされる場合、TMR素子7をアクセストランジスタ10のワード線8よりかなり高い位置に作らざるを得なく、書き込みワード線2と読み出しワード線8とを共通化できないことがある。この場合には、図7に示すように、書き込みワード線2と読み出しワード線8とを電気的に接続し、同電位にすることにより、上記実施の形態2で示した同様の制御が可能になる。例えば、図8に示すように、書き込みワード線2と読み出しワード線8とをセルアレイ端で接続孔等の接続部15を介して接続する。これにより、書き込みワード線2と読み出しワード線8とをそれぞれ備える場合でも、上記実施の形態2で示した同様の書き込み／読み出しの制御が適用できる。

【0028】実施の形態4. 上記実施の形態2で示したMRAMの構造では、アクセストランジスタ10のソース・ドレイン領域9のうち、TMR素子7と接続されない側は、電極配線層12(図1参照)を形成してセルアレイの外に配線を引き出す必要があった。本実施の形態4においては、図9に示すように、アクセストランジスタ10のソース・ドレイン領域9の一方に隣接して基板電位取り出し電極となるP<sup>+</sup>拡散層16(以下、基板電位取り出し層16と称す)を形成し、この基板電位取り出し層16と上記ソース・ドレイン領域9との両領域上に渡った表面に達するコンタクトホール17を形成することで、基板電位取り出し層16と上記ソース・ドレイン領域9とを接続する。これにより、TMR素子7の抵抗値はビット線3(3a)と基板1との間に流れる電流値の大小で判定できる。この実施の形態では、セルアレイの外に引き出していた電極配線層12が不要になり、配線層の高さを小さくできる利点がある。

【0029】なお、図10で示すように、基板電位取り出し層16と隣接するソース・ドレイン領域9との表面に、サリサイド法によりタングステン、チタン等のシリサイド金属層18を形成して、基板電位取り出し層16と上記ソース・ドレイン領域9とを接続しても良く、容易に形成できると共に、さらに微細化が図れる。

【0030】実施の形態5. 上記実施の形態1～4ではアクセストランジスタ10を形成したが、アクセストランジスタ10の代わりに、基板1に接合を形成してもよい。図11は、本実施の形態5によるMRAMの構造を示す断面図である。図に示すように、P型基板1に形成されたウェル領域としてのNウェル20内にP<sup>+</sup>拡散層21を形成して、このP<sup>+</sup>拡散層21とスピン自由層4とをコンタクトホール14を介して接続する。この時、ワード線は書き込みワード線2のみでよく、トランジ

ターゲットとして働かないため、基板1に近接して形成する必要はない。この場合、書き込み動作については、上述した実施の形態2と同様であるが、読み出し動作については、ビット線3aからNウェル20に流れ込む電流を測定することにより読み出しを行うものである。このとき、同じビット線3aにつながる他のTMR素子7の記憶情報を拾わないように、P<sup>+</sup>拡散層21とNウェル20とのPN接合はダイオード21の働きをする。

【0031】このように構成されたMRAMにおける書き込み／読み出し動作について、図12を用いて説明する。書き込み時は、図12(a)に示すように、所望の選択ビット線3axと選択書き込みワード線2xとに電流を流すことにより、それらの交差点に位置する選択TMR素子7xに書き込みが行われる。一方、読み出し時は図12(b)に示すように、選択TMR素子7xにつながっている選択Nウェル20xのみに接地レベル、他のNウェル20には電源レベルの電位を与え、また上記選択TMR素子7xにつながっている選択ビット線3axのみに電源レベル、他のビット線3aに接地レベルの電位を与える。これにより、上記TMR素子7xを介して選択Nウェル20xにのみダイオード21の順方向に電流が流れ、TMR素子7xの記憶内容のみを読み出すことができる。以上のように、アクセストランジスタ10を廃することによって、基板1上に必要な面積を小さくすることができ、セル面積の縮小化が可能となる。

【0032】なお、図13に示すように、書き込みワード線2は読み出しには用いられないのでビット線3aの上方に配置しても良く、コンタクトホール14との短絡防止のための距離を確保する必要がなく、セル面積をより小さくすることができる。

【0033】実施の形態6. 図14は、本実施の形態6によるMRAMの構造を示す断面図である。上記実施の形態5では、基板1にP<sup>+</sup>拡散層21とNウェル20とのPN接合を形成したが、この実施の形態では、基板1の上層にポリシリコン層22を形成しその上にスピン自由層4を形成して、ポリシリコン層22とスピン自由層4とでショットキ接合を形成する。この場合、ポリシリコン層22はP型に形成する。このように構成されたMRAMにおける書き込み／読み出し動作について、図15を用いて説明する。なお、ポリシリコン層22とスピン自由層4とのショットキ接合は、読み出し時に、同じビット線3aにつながる他のTMR素子7の記憶情報を拾わないように、ダイオード23の働きをするもので、接合耐圧を1/2電源レベルから電源レベルの間に設定しておく。

【0034】書き込み時は、図15(a)に示すように、所望の選択ビット線3axと選択書き込みワード線2axとに電流を流すことにより、それらの交差点に位置する選択TMR素子7xに書き込みが行われる。一方、読み出し時は図15(b)に示すように、選択TMR素子7



xにつながっている選択ポリシリコン層 22 x のみに接地レベル、他のポリシリコン層 22 には 1/2 電源レベルの電位を与え、また上記選択 TMR 素子 7 x につながっている選択ビット線 3 a x のみに電源レベル、他のビット線 3 a に 1/2 電源レベルの電位を与える。これにより、選択 TMR 素子 7 x を介して、選択ビット線 3 a x と選択ポリシリコン層 22 x との間にのみ、ダイオード 23 の接合耐圧を越えて逆方向電流が流れ、選択 TMR 素子 7 x の記憶内容のみを読み出すことができる。他の TMR 素子 7 においてはダイオード 23 の接合が破れず、順方向にも逆方向にも電流が流れない。なお、この実施の形態では、ポリシリコン層 22 を形成してショットキ接合を形成したが、金属層を形成してスピン自由層 4 との間で、接合耐圧の低い金属・金属間接合を形成してもよい。

【0035】

【発明の効果】以上のように、この発明に係る請求項 1 記載の磁気ランダムアクセスメモリ装置は、半導体基板上に、互いに交差する方向に配列された第 1 のワード線およびビット線の交差領域にそれぞれ配設され、磁化方向が可変な第 1 の磁性体と磁化方向が固定された第 2 の磁性体とが絶縁層を介して積層された磁気抵抗記憶素子と、上記ビット線に交差する方向に配列された第 2 のワード線をゲートとするアクセストランジスタとを備え、上記ビット線を、磁化方向を予め長さ方向に固定にした強磁性体金属で構成し、該ビット線で上記第 2 の磁性体を兼ねるため、構造を簡略化でき、製造が容易になる。

【0036】またこの発明に係る請求項 2 記載の磁気ランダムアクセスメモリ装置は、半導体基板上に、互いに交差する方向に配列された第 1 のワード線およびビット線の交差領域にそれぞれ配設され、磁化方向が可変な第 1 の磁性体と磁化方向が固定された第 2 の磁性体とが絶縁層を介して積層された磁気抵抗記憶素子と、上記ビット線に交差する方向に配列された第 2 のワード線をゲートとするアクセストランジスタとを備え、上記磁気抵抗記憶素子を、上記第 2 のワード線と上記ビット線との交差領域に配設して、第 2 のワード線で第 1 のワード線を兼ねるため、多層配線構造の多層化が格段と低減でき、構造および製造工程の簡略化が図れ、微細化、高集積化が促進できる。

【0037】またこの発明に係る請求項 3 記載の磁気ランダムアクセスメモリ装置は、半導体基板上に、互いに交差する方向に配列された第 1 のワード線およびビット線の交差領域にそれぞれ配設され、磁化方向が可変な第 1 の磁性体と磁化方向が固定された第 2 の磁性体とが絶縁層を介して積層された磁気抵抗記憶素子と、上記ビット線に交差する方向に配列された第 2 のワード線をゲートとするアクセストランジスタとを備え、上記第 1 のワード線と上記第 2 のワード線とを電気的に接続するため、第 1 と第 2 のワード線を共通化した構造と同様の制

御が適用できる。

【0038】またこの発明に係る請求項 4 記載の磁気ランダムアクセスメモリ装置は、請求項 2 または 3 において、ビット線およびワード線（第 1/第 2 のワード線）に電流を流して磁気抵抗記憶素子への書き込みを行う際、該ワード線にはアクセストランジスタがオンしない極性の電圧を印加し、また上記ビット線から上記アクセストランジスタに電流を流して上記磁気抵抗記憶素子から読み出しを行う際、上記ワード線には、一方の端子をフローティングにする、あるいは両端子を同電位にした状態で電圧印加を行って上記アクセストランジスタをオンさせるため、信頼性良く、書き込みおよび読み出し動作が行える。

【0039】またこの発明に係る請求項 5 記載の磁気ランダムアクセスメモリ装置は、請求項 4 において、ワード線に、アクセストランジスタをオンさせる極性の電圧を電位勾配を持たせて電流を流しつつ印加することにより、磁気抵抗記憶素子への書き込みをしながら読み出しするため、書き込みを確認しながら書き込むことができる。

【0040】またこの発明に係る請求項 6 記載の磁気ランダムアクセスメモリ装置は、請求項 2～5 のいずれかにおいて、アクセストランジスタのソース・ドレイン領域の一方は磁気抵抗記憶素子に接続され、他方は、このソース・ドレイン領域に隣接して半導体基板に形成された基板電位取り出し電極となる拡散層と接続したため、配線層の構造が簡略化でき、構造および製造工程の簡略化が図れ、微細化、高集積化が促進できる。

【0041】この発明に係る請求項 7 記載の磁気ランダムアクセスメモリ装置は、請求項 6 において、基板電位取り出し電極となる拡散層と該拡散層に隣接するソース・ドレイン領域との表面に、サリサイド法により形成されたシリサイド金属層を備えたため、さらに簡略な構造が容易に形成でき、微細化をより促進できる。

【0042】またこの発明に係る請求項 8 記載の磁気ランダムアクセスメモリ装置は、半導体基板上に互いに交差する方向に配列されたワード線およびビット線の交差領域にそれぞれ配設され、磁化方向が可変な第 1 の磁性体と磁化方向が固定された第 2 の磁性体とが絶縁層を介して積層された磁気抵抗記憶素子と、上記半導体基板に形成された第 1 導電型のウェル領域と、該ウェル領域内に形成された第 2 導電型の拡散層とを備え、上記ウェル領域および上記拡散層で構成されるダイオードと上記ビット線との間に、該ダイオードの順方向に電流を流して上記磁気抵抗記憶素子からの読み出しを行うため、アクセストランジスタが不要で格段と簡略化された構造とでき、微細化、高集積化が一層図れる。

【0043】またこの発明に係る請求項 9 記載の磁気ランダムアクセスメモリ装置は、半導体基板上に、互いに交差する方向に配列されたワード線およびビット線の交

差領域にそれぞれ配設され、磁化方向が可変な第1の磁性体と磁化方向が固定された第2の磁性体とが絶縁層を介して積層された磁気抵抗記憶素子と、上記第1の磁性体とショットキ接合あるいは金属接合によるPN接合を形成する導電層とを備え、上記第1の磁性体および上記導電層で構成されるダイオードと上記ビット線との間に、該ダイオードの逆方向に接合耐圧を越えて電流を流して上記磁気抵抗記憶素子からの読み出しを行うため、アクセストラジスタが不要で格段と簡略化された構造とでき、微細化、高集積化が一層図れる。

【0044】またこの発明に係る請求項10記載の磁気ランダムアクセスメモリ装置は、請求項8または9において、ワード線を、ビット線よりも上層に配設したため、パターン配置の自由度が向上し、微細化、高集積化が一層図れる。

【0045】またこの発明に係る請求項11記載の磁気ランダムアクセスメモリ装置は、請求項2～10のいずれかにおいて、ビット線を、磁化方向を予め長さ方向に固定にした強磁性体金属で構成し、該ビット線で第2の磁性体を兼ねるため、構造を簡略化でき、製造が容易になる。

【0046】またこの発明に係る請求項12記載の磁気ランダムアクセスメモリ装置は、請求項1または11において、ビット線と第1のワード線との交差領域において、該ビット線の磁化方向を長さ方向に固定にしたため、容易に磁化方向を単一にでき、信頼性が向上する。

【0047】またこの発明に係る請求項13記載の半導体装置は、請求項1～12のいずれかに記載の磁気ランダムアクセスメモリ装置を備えたため、半導体装置の微細化、高集積化が図れると共に、構造が簡略化でき、製造が容易になる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1によるMRAMの構造を示す断面図である。

【図2】 この発明の実施の形態1の変形例の構造を示す断面図である。

【図3】 この発明の実施の形態2によるMRAMの構造を示す断面図である。

【図4】 この発明の実施の形態2によるMRAMの書き込み動作を示す図である。

【図5】 この発明の実施の形態2によるMRAMの読

み出し動作を示す図である。

【図6】 この発明の実施の形態2によるMRAMの書き込み／読み出し動作を示す図である。

【図7】 この発明の実施の形態3によるMRAMの構造を示す断面図である。

【図8】 この発明の実施の形態3によるMRAMの構造を説明する斜視図である。

【図9】 この発明の実施の形態4によるMRAMの構造を示す断面図である。

10 【図10】 この発明の実施の形態4の変形例の構造を示す断面図である。

【図11】 この発明の実施の形態5によるMRAMの構造を示す断面図である。

【図12】 この発明の実施の形態5によるMRAMの書き込み／読み出し動作を示す図である。

【図13】 この発明の実施の形態5の変形例の構造を示す断面図である。

【図14】 この発明の実施の形態6によるMRAMの構造を示す断面図である。

20 【図15】 この発明の実施の形態6によるMRAMの書き込み／読み出し動作を示す図である。

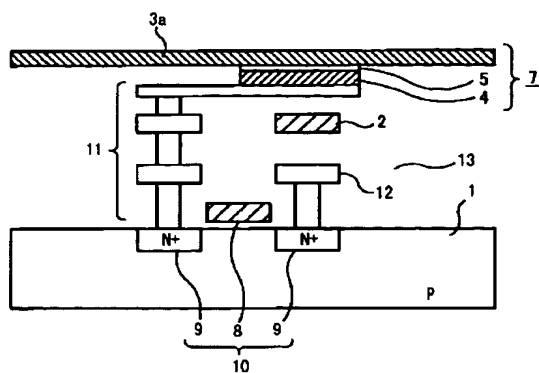
【図16】 従来のMRAMの構造を示す断面図である。

【図17】 従来のMRAMの動作を説明する図である。

【符号の説明】

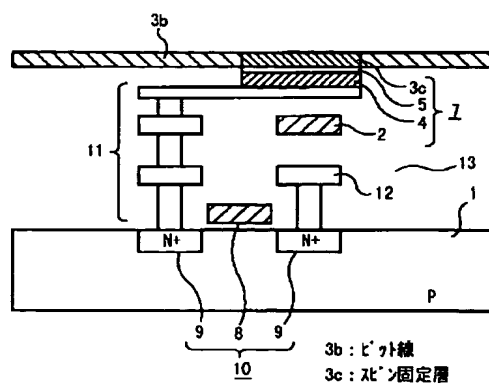
1 半導体基板、2、2a 第1のワード線としての書き込みワード線、2x、2ax 選択ワード線、3、3a、3b ビット線、3ax 選択ビット線、3c 第2の磁性体としてのスピン固定層、4 第1の磁性体としてのスピン自由層、5 絶縁層、6 第2の磁性体としてのスピン固定層、7 磁気抵抗記憶素子としてのTMR素子、7x 選択TMR素子、8 第2のワード線としての読み出しワード線、8a 共通化ワード線、9 ソース・ドレイン領域、10 アクセストラジスタ、15 接続部、16 基板電位取り出し層、17 コンタクトホール、18 シリサイド金属層、19 P<sup>+</sup>拡散層、20 Nウェル、20x 選択Nウェル、21 ダイオード、22 ポリシリコン層、22x 選択ポリシリコン層、23 ダイオード。

【図1】



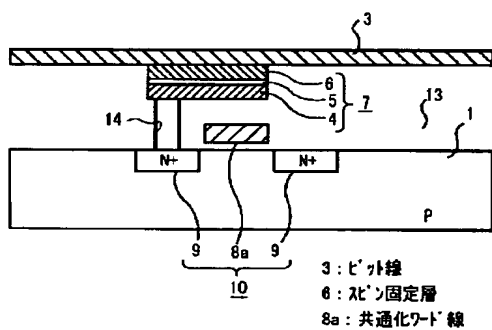
- 1: 半導体基板  
2: 書き込みワード線  
3a:  $t'$ ゲート線 (スピン固定層)  
4: スピン自由層  
5: 絶縁層  
7: TMR素子  
8: 読み出しワード線  
9: ソース・ドレイン領域  
10: アクセストランジスタ

【図2】



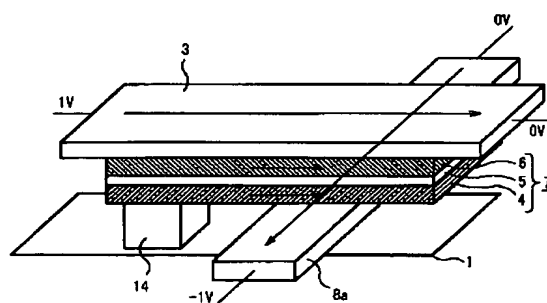
- 3b:  $t'$ ゲート線  
3c: スピン固定層

【図3】

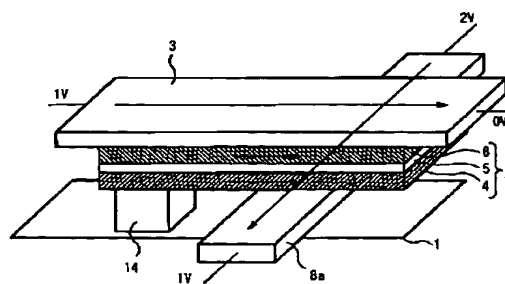


- 3:  $t'$ ゲート線  
6: スピン固定層  
8a: 共通化ワード線

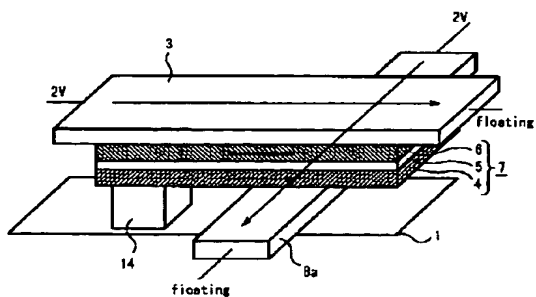
【図4】



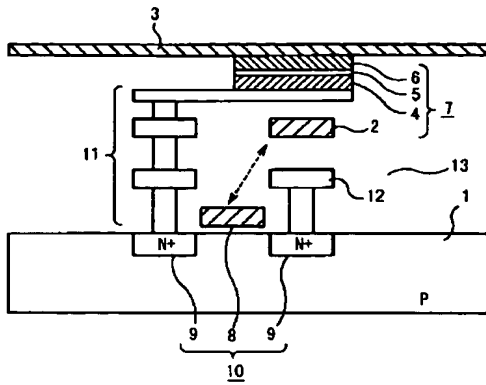
【図6】



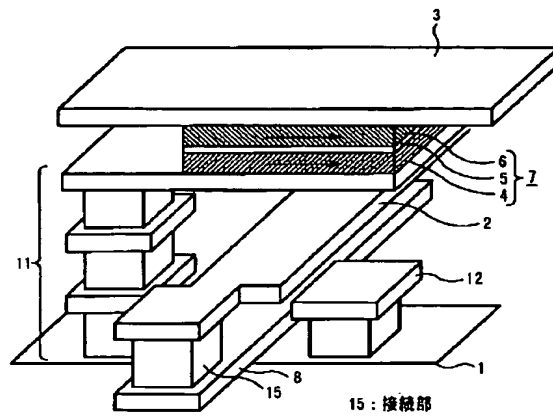
【図5】



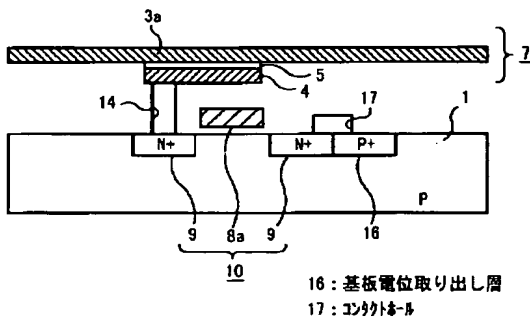
【図7】



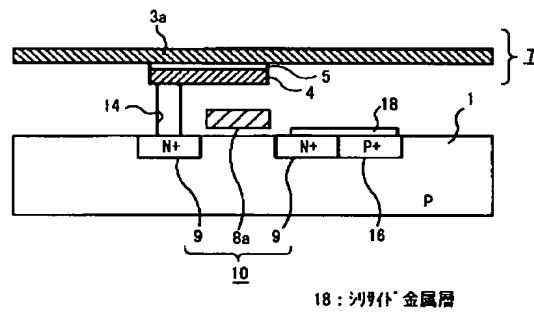
【図8】



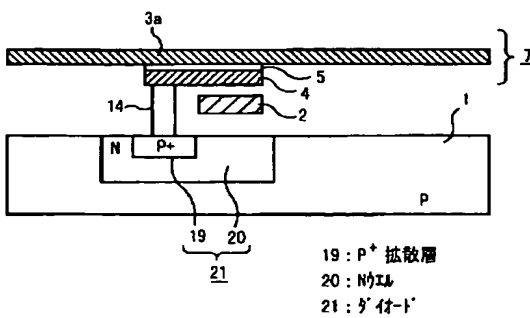
【図9】



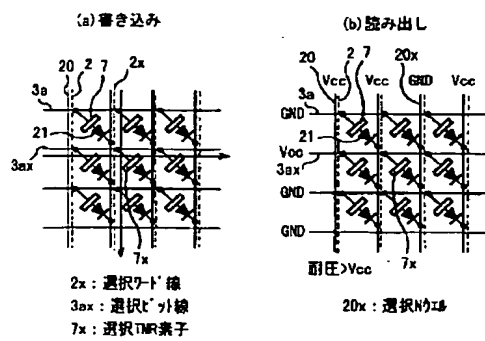
【図10】



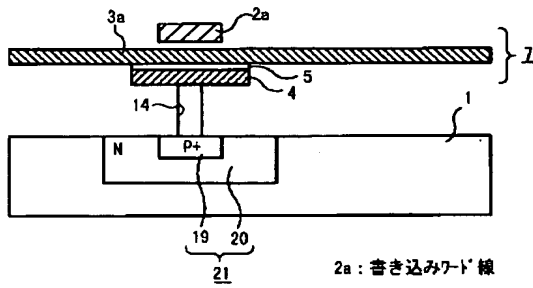
【図11】



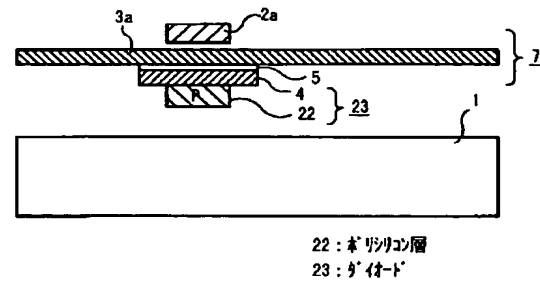
【図12】



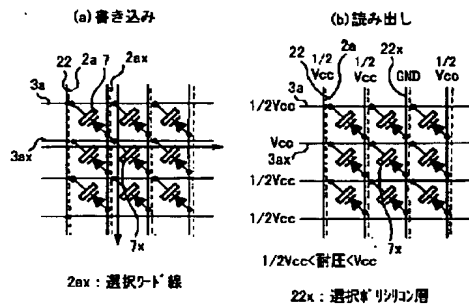
【図13】



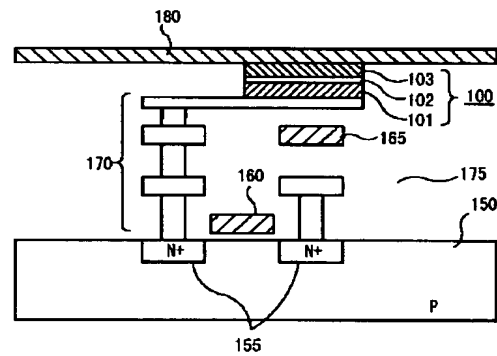
【図14】



【図15】



【図16】



【図17】

